

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032523

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H04B 1/707

H04B 7/26

(21)Application number : 08-185103

(71)Applicant : NEC CORP

(22)Date of filing : 15.07.1996

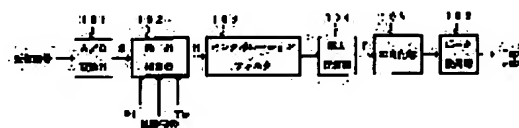
(72)Inventor : SATO TOSHIBUMI

(54) RECEIVING TIMING DETECTION CIRCUIT FOR CDMA RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve receiving quality by obtaining mutual correlation between a received signal and an already known signal group from the frequency band width of a transmission and reception signal by the irreducibly lowest sampling frequency and interpolating its mutually correlated values by an interpolation filter to always receive with an optimum receiving timing.

SOLUTION: A group correlation device 102 calculates the mutually correlated value in an n-th slot. The interpolation filter 103 interpolates the correlated values of two samples per one chip outputted from the device 102 so as to calculate the correlated value of highest delaying precision. After a power calculating part 104 obtains the power (the square sum of an I component and a Q component) of a correlated value to remove phase components, an averaging part 105 executes inter-slot averaging with respect to the mutually related values of a delay time. It is desirable to suppress the number of these averaging slots to irreducibly lowest. A peak detection circuit 106 obtains a delay time maximizing averaged mutually correlated power.



LEGAL STATUS

[Date of request for examination] 15.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2751959

[Date of registration] 27.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-32523

(43)公開日 平成10年(1998)2月3日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
	7/26		H 0 4 B 7/26	M

審査請求 有 請求項の数9 O L (全 12 頁)

(21)出願番号 特願平8-185103

(22)出願日 平成8年(1996)7月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 俊文

東京都港区芝五丁目7番1号 日本電気株式会社内

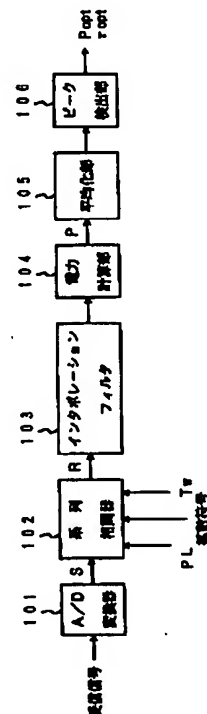
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 CDMA受信装置の受信タイミング検出回路

(57)【要約】

【課題】 低い1パス当たりの E_b/N_o のもとで、マルチパスフェージング、シャドウイングのある伝搬路の正しいパスの受信タイミングを正確に検出する。

【解決手段】 CDMA受信装置の受信タイミング検出回路は、デジタル受信信号Sを得るA/D変換器101と、一定周期毎にデジタル受信信号Sと既知の信号系列との相互相関をあらかじめ定められた遅延範囲内で求める系列相関器102と、その出力信号RをA/D変換器101のサンプリング周波数より速い周波数でサンプリングし直すインタポレーションフィルタ103と、サンプリングし直された相互相関信号の電力Pを求める電力計算部104と、相互相関信号電力Pを複数の周期にわたって平均化する平均化部105と、平均化された相互相関信号電力Pのピーク P_{opt} を求め、最適な受信タイミング τ_{opt} を決定するピーク検出部106とを備える。



1

【特許請求の範囲】

【請求項 1】 直接拡散符号分割多元接続 (DS-SSMA) 方式を用いた移動通信システムに用いられる CDMA 受信装置の受信タイミング検出回路において、一定周期毎に受信信号と既知の信号系列との相互相関をあらかじめ定められた期間内で求め、求められた相互相関を表す相互相関信号を出力する系列相関器と、前記相互相関信号をそのサンプリング周波数より速い周波数でサンプリングし直し、サンプリングし直された相互相関信号を出力するインタポレーションフィルタと、前記サンプリングし直された相互相関信号の電力を計算し、計算された相互相関信号電力を出力する電力計算手段と、前記計算された相互相関信号電力を複数の周期にわたって平均化し、平均化された相互相関信号電力を出力する平均化手段と、前記平均化された相互相関信号電力のピークを検出し、ピークを検出した時のタイミングを前記 CDMA 受信装置の受信タイミングとして決定するピーク検出手段とを持つことを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 2】 請求項 1 に記載の CDMA 受信装置の受信タイミング検出回路において、既知の信号系列が前記受信信号に一定周期毎に挿入される既知のパイロットシンボルを拡散符号で拡散することにより得られた信号系列であることを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 3】 請求項 1 に記載の CDMA 受信装置の受信タイミング検出回路において、既知の信号系列が前記受信信号の受信データを判定することにより判定データを得て、該判定データを拡散符号で再拡散することにより得られた信号系列であることを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 4】 請求項 1 の CDMA 受信装置の受信タイミング検出回路において、あらかじめ定められた期間が、基地局と移動局間を電波が伝搬する時間に相当することを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 5】 請求項 1 の CDMA 受信装置の受信タイミング検出回路において、系列相関器が、既知系列に対するマッチドフィルタと、あらかじめ定められた期間内に対応する前記マッチドフィルタ出力のみを通過させる時間窓手段とを含むことを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 6】 請求項 2 の CDMA 受信装置の受信タイミング検出回路において、拡散符号の周期がパイロットシンボルの長さに等しい場合、前記系列相関器が、

2

受信信号をあらかじめ定められた期間の時間長にパイロットシンボルの 1 シンボル時間長を加えた時間だけ蓄積するシリアル入力パラレル出力型の第 1 のメモリと、前記第 1 のメモリのパラレル出力をパイロットシンボルの符号に応じて逆変調する逆変調手段と、加算器及びメモリを備えて、前記逆変調された受信信号を複数のパイロットシンボルにわたり同相加算する同相加算手段と、

同相加算された受信信号と拡散符号の相互相関をあらかじめ定められた期間内で求める相関器とを含むことを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 7】 請求項 2 の CDMA 受信装置の受信タイミング検出回路において、

系列相関器が、

受信信号をあらかじめ定められた期間の時間長にパイロットシンボル系列の時間長を加えた時間だけ蓄積する第 1 のメモリと、パイロットシンボルに対応する拡散符号を記憶する第 2 のメモリと、

前記第 1 のメモリおよび前記第 2 のメモリから受信信号および拡散符号を読み出しシンボル毎の相互相関を求める相関器と、

パイロットシンボルの符号に応じて前記相関器の出力する相関値を逆変調する逆変調手段と、

前記逆変調された相関信号を複数パイロットシンボルにわたって累積加算する同相加算手段と、

前記第 1 のメモリに蓄積される受信信号にパイロットシンボルが含まれるように受信タイミングを制御し、また、あらかじめ定められた期間内の相互相関がすべて求められるまで、前記第 1 および前記第 2 のメモリをタイミングをずらせながら繰り返し読み出す制御を行うタイミング制御手段とを含むことを特徴とする CDMA 受信装置の受信タイミング検出回路。

【請求項 8】 請求項 2 の CDMA 受信装置の受信タイミング検出回路において、

系列相関器が、

受信信号をあらかじめ定められた期間の時間長にパイロットシンボル系列の時間長を加えた時間だけ蓄積する第 1 のメモリと、

パイロットシンボルを拡散符号で拡散する拡散手段と、前記拡散手段で拡散されたパイロットシンボルを記憶する第 2 のメモリと、

前記第 1 のメモリおよび前記第 2 のメモリから受信信号および拡散されたパイロットシンボルを読み出し相互相関を求める相関器と、

前記第 1 のメモリに蓄積される受信信号にパイロットシンボルが含まれるように受信タイミングを制御し、また、あらかじめ定められた期間内の相互相関がすべて求められるまで、前記第 1 および前記第 2 のメモリをタイミングをずらせながら繰り返し読み出す制御を行うタイ

3

ミング制御手段とを含むことを特徴とするCDMA受信装置の受信タイミング検出回路。

【請求項9】 請求項1のCDMA受信装置の受信タイミング検出回路において、

インタポレーションフィルタは、前記系列相関器の出力する相互相関値の電力があらかじめ定められた閾値を越える区間で動作することを特徴とするCDMA受信装置の受信タイミング検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は移動通信システム、特に直接拡散符号分割多元接続(DS-CDMA)方式を用いた自動車電話・携帯電話システム(セルラシステム)の送受信装置に関し、特に基地局受信装置における受信タイミング検出回路に関する。

【0002】

【従来の技術】移動通信システムのうち、符号分割多元接続(CDMA)方式を用いたデジタル自動車電話・携帯電話システム(セルラシステム)として、北米標準方式(TIA IS95)が知られている。TIA (Telecommunication Industry Association)が1994年5月に“Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System PN-3421”と題して発行した標準仕様書TIA/EIA/IS (INTERIM STANDARD)-95-Aの第6章には移動局に要求される動作が記述されており、第7章には基地局に要求される動作が記述されている。しかしながら、上記標準仕様書は主に無線インタフェースを規格化するものであるため、変調方式、信号フォーマット等は記述されているが、具体的な受信方法については書かれていない。

【0003】IS-95-Aの下り回線(基地局→移動局)では、情報で変調された複数ユーザのトラフィックチャネル(TCH)に加えて、情報で変調されていない共通パイロットチャネル(PLCH)が比較的強い電力で送信されており、移動局はこのパイロットチャネルを使って最適な受信タイミングを決めればよい。ため、低い E_b/N_o (1ビット当たりの信号電力対1Hz当たりの雑音電力の比)のもとで受信タイミングを決定しなければならないという問題は小さかった。しかしながら、パイロットチャネルを強い電力で送信するということは、それだけ、実際に情報を送信するトラフィックチャネルの数を減らさなければならないため、1基地局当たりのユーザ数が減少するという別の問題がある。

【0004】IS-95-Aの上り回線(移動局→基地局)では、共通パイロットチャネルは存在せず、64進(64-ary)直交符号で変調と4倍直接拡散を組み合わせた変調方式が採用されている。64-ary直交符号を用いることにより、BPSK、QPSK等と比べて、1シンボル当たりの電力が大きくなること、非同期

4

検波を採用しても同期検波に対する劣化が小さいこと、等のメリットがあるが、受信方式は複雑である。

【0005】IS-95-Aの主要諸元は、チップレート1.2288Mcps、ビットレート9.6kbps、直接拡散の拡散率128倍、である。チップレートが比較的低速であり、伝搬遅延の瞬時変動幅に比べ、チップ周期が比較的長いので、受信タイミング検出回路の特性が甘くても受信特性の劣化が少なかった。しかしながら、音声に限らず高速のデータ通信を行うためにはビットレート、チップレートを少なくとも5~10倍程度は速くしなければならず、IS-95-Aでは見えなかった問題点がでてきている。

【0006】従来の受信タイミング検出方式(チップ同期)は、例えば、参考文献(Andrew J. Viterbi 著、“Principle of Spread Spectrum Communication”1995年4月発行、第3章、39ページ~66ページ)に記載されている。疑似ランダム符号である拡散符号で拡散された信号のタイミングの捕捉は2段階で行われる。すなわち、初期同期捕捉(サーチ)と同期追尾(トラッキング)の2段階に分けられる。

【0007】初期同期捕捉(サーチ)方法は、参考文献の第3章第4節に説明されているように、相関電力がある閾値を越えるまで、受信タイミングを1/2チップ間隔でずらせながら、シリアルにサーチする方式である。

【0008】同期追尾(トラッキング)はアーリー・レイト・ゲート(early-late gate)あるいはディレイ・ロック・ループ(DLL)と呼ばれる方法で、受信すべき遅延時間の Δt だけ速いタイミングでの相関電力と Δt だけ遅いタイミングでの相関電力を求め、両者の差が0となるように、タイミングを微調整するという方式である。

【0009】上記初期同期捕捉および同期追尾の方法を多少改善し、回路の共通化とマルチパス伝搬路に対するトラッキング機能を追加した方法が、特開平4-347944号公報に記載されている。しかしながら、基本的な動作は上記参考文献の方法と同一であり、また、IS-95-Aにおける課題を解決するものではない。

【0010】

【発明が解決しようとする課題】符号分割多元接続(CDMA)方式はマルチパス伝搬を使ったパスダイバーシティ(RAKE)、セル境界では複数の基地局と接続するマクロダイバーシティ(ソフトハンドオフ)、符号化ゲインの大きい誤り訂正符号、送信電力制御等の技術を用いることにより、非常に低い E_b/N_o で所要品質を満足する通信ができるという特徴がある。

【0011】一方、CDMA方式ではチップタイミングがきっちりと同期していないと全く受信できない。特に、ダイバーシティブランチ数(パス数)が多くなると、非常に低い1パス当たりの E_b/N_o のもとで正しいパスのタイミングを検出しなければならない。

5

【0012】第1の問題点は、従来のように、相関タイミングをスライディングさせながら相関値を求め、相関電力が最大になるタイミングを検出する方法では、特に信号電力に比べ雑音電力が大きい場合には雑音による誤ピーク検出の頻度が多くなるということである。

【0013】その第1の理由は、1シンボル毎の相関値の電力は信号電力と雑音電力の和であるため、その相関値電力を複数シンボルにわたって平均化しても、測定した相関値のばらつきは平均化シンボル数に応じて小さくなるものの、元々の相関ピークが小さく正しいピークを検出することは難しいからである。

【0014】その第2の理由は、従来方式では、異なる遅延の相関値を計算するために用いた受信信号はかならずしも一致していないため、フェージングにより受信レベルが大きく変動する場合、スライディング相関値のピークが正しい遅延プロファイルのピークとかならずしも一致しないためである。

【0015】第2の問題点は、遅延プロファイルのピークを正確に求めようとすると、従来方法では膨大な相関演算が必要となるという点である。

【0016】その理由は、従来方式では、相関値の電力を求め、その電力の平均値を求めているが、電力を求める処理は2乗演算(=非線形演算)を含むため、線形性が維持されず、インタポレーションと低域通過フィルタを用いて、遅延プロファイルを内挿することはできないためである。したがって、求めようとする精度で遅延時間を変えながら実際に相関値を計算しなければならなかったためである。

【0017】第3の問題点は、ハードウェア規模が大きくなっていったという点である。

【0018】その理由は、初期タイミング捕捉、同期がはずれたときの再同期捕捉、シャドウイング等で伝搬状況が変化したときに必要な初期同期捕捉回路(あるいはサーチ回路)と同期追尾回路(例えばディレイ・ロック・ループ:DLL)の2種類の回路が必要であったためである。

【0019】それ故、本発明の課題は、符号分割多重アクセス(CDMA)方式を採用した移動通信システムにおいて、低いEb/No環境で、遅延プロファイルを精度良く、かつ、比較的少ない計算量で高速に求めることができるCDMA受信装置の受信タイミング検出回路を提供し、CDMA受信装置の受信品質を向上し、かつ消費電力を低減することを可能とすることにある。

【0020】

【課題を解決するための手段】本発明によれば、直接拡散符号分割多元接続(DS-CDMA)方式を用いた移動通信システムに用いられるCDMA受信装置の受信タイミング検出回路において、一定周期毎に受信信号と既知の信号系列との相互相関をあらかじめ定められた期間内で求め、求められた相互相関を表す相互相関信号を出

6

力する系列相関器と、前記相互相関信号をそのサンプリング周波数より速い周波数でサンプリングし直し、サンプリングし直された相互相関信号を出力するインタポレーションフィルタと、前記サンプリングし直された相互相関信号の電力を計算し、計算された相互相関信号電力を出力する電力計算手段と、前記計算された相互相関信号電力を複数の周期にわたって平均化し、平均化された相互相関信号電力を出力する平均化手段と、前記平均化された相互相関信号電力のピークを検出し、ピークを検出した時のタイミングを前記CDMA受信装置の受信タイミングとして決定するピーク検出手段とを持つことを特徴とするCDMA受信装置の受信タイミング検出回路が得られる。

【0021】本発明では、受信信号と複数シンボルからなる既知信号系列との相互相関を求めることにより、相互相関電力に含まれる雑音成分の電力を低減する。

【0022】相互相関は送受信信号の周波数帯域幅から必要な最低限度のサンプリング周波数で求め、その相互相関値をインタポレーションフィルタで内挿することにより、所要の遅延精度で相互相関電力すなわち遅延プロファイルのピークを検出することができる。したがって、相互相関を求めるために必要な演算量を低減している。また本発明では、同一の受信信号を用いて、すべての相互相関値を計算するため、フェージングによる受信レベルの変動に伴う相関値の変動が無い。

【0023】

【発明の実施の形態】次に本発明の実施例について図面を参照して説明する。

【0024】図1は本発明の第1の実施例によるCDMA受信装置の受信タイミング検出回路を示すブロック図である。

【0025】図1を参照して、このCDMA受信装置の受信タイミング検出回路は、受信信号をデジタル受信信号Sに変換するA/D変換器101と、一定周期毎にデジタル受信信号Sと既知の信号系列との相互相関をあらかじめ定められた期間(遅延範囲)内で求める系列相関器102と、系列相関器102の出力信号RをA/D変換器101のサンプリング周波数より速い周波数でサンプリングし直すインタポレーションフィルタ103と、インタポレーションフィルタ103でサンプリングし直された相互相関信号の電力Pを求める電力計算部104と、相互相関信号電力Pを複数の周期にわたって平均化する平均化部105と、平均化部105により平均化された相互相関信号電力Pのピーク P_{opt} を求め、最適な受信タイミング τ_{opt} を決定するピーク検出部106とより構成される。

【0026】送受信信号は帯域外漏洩電力を低減するため、通常、ロールオフファクタ=10~50%のレイズド・コサイン・フィルタで帯域制限されている。この場合、送受信信号の周波数帯域幅はチップレート

～1.5倍に押さえられている。したがって、無線帯域信号を複素ベースバンド信号に変換後、デジタル化する場合、A/D変換器101のサンプリング周波数はチップレートの2倍であれば十分である。ただし、複素ベースバンド信号なので、同相成分(I成分)、直交成分(Q成分)の各々をA/D変換し、デジタル受信信号Sを得る。デジタル受信信号Sは同相成分を実数部、直交成分を虚数部とする複素数で表される。デジタル受信信号SをI/F信号でチップレートの4倍のサンプリング周波数でA/D変換した場合も等価である。

【0027】なお、上記サンプリング周波数は本発明の効果が最も顕著に現れる、最小の周波数であるが、例えば、データ復調部と共用するため、もっと速い周波数でサンプリングすることを妨げるものではない。また、アナログ回路で系列相関を求めた後、上記サンプリング周波数で系列相関器102の出力信号をA/D変換しても良い。

【0028】図2は図1のCDMA受信装置が受信信号として受信する送信信号及び拡散符号のフォーマットを示すタイムチャートである。

【0029】図1及び図2を参照して、送信信号はLシンボルを1スロットとして各スロットの先頭にN_pシンボルのパイロットシンボル(P_L:既知符号)が挿入されている。拡散率(1シンボル当たりの拡散符号のチップ数)をMとする。

【0030】系列相関器102は、下記数式に従って第nスロットにおける相互相関値R_n(τ)を計算する。

【0031】第nスロットにおける既知信号系列をP_n(i)、既知信号の長さN=N_p×Mチップ、受信信号のサンプリング周波数をチップレートの2倍、相互相関を求める期間(遅延範囲)Twをτ_{min}～τ_{max}とすると、

$$R_n(\tau) = \sum_{i=0}^{N-1} S(2 \cdot L \cdot M \cdot n + 2 \cdot i + \tau) \times \text{conj}(P_n(i))$$

$$\tau = \tau_{\min} \sim \tau_{\max}$$

ただし、conj()は複素共役を表している。

【0032】相互相関を求める遅延範囲Tw=τ_{min}～τ_{max}は、次のようにして決定することができる。セルラシステムのように基地局と移動局間で通信を行う場合、移動機は基地局からの下り信号に同期して上り信号を送り返すのが基本である。したがって、基地局受信装置はあらかじめどのタイミングで受信すればよいかはほぼわかっている。受信タイミングのばらつきは基地局と移動局の距離に依存する伝搬遅延時間と移動機における上下信号の同期精度であり、特にCDMA方式のように広帯域システム(例えば1MHz～20MHz)では移動機における同期精度よりも伝搬遅延時間の方が支配的である。伝搬時間は特定の基地局がサービス可能な最大セル半径を電波が往復する時間から最大値を決定できる。したがって、基地局受信装置で用いられる場合、遅延範

囲Twの最小値τ_{min}は伝搬遅延=0として装置内部の遅延マージンから求められ、最大値τ_{max}は伝搬遅延最大値に装置内部の遅延マージンを加えた値から求められる。一方、移動機で用いられる場合、最初から上記方法で遅延範囲Twを決めることはできないが、初期同期を完了し、クロックを基地局に同期できた後は、同様に伝搬遅延を考慮した範囲に制限することが可能である。

【0033】インタポレーションフィルタ103は、系列相関器102から出力される1チップ当たり2サンプルの相関値をインタポレーション(内挿)することにより、もっと遅延精度の高い相関値を計算するものである。許容できるタイミング検出ずれ、感度劣化に応じて1チップ1/4チップ～1/16チップ刻みで相互相関値を求める必要がある。

【0034】例えば、1/8チップ精度で相互相関値を求める場合について図3を参照して説明する。系列相関器102から出力される1/2チップ間隔の相互相関値(図3の(a))の間にそれぞれ3個の0を挿入して、1/8チップ間隔の信号系列を生成する(図3の(b))。この1/8チップ間隔の系列をカットオフ周波数=チップレートの低域通過フィルタ(LPF)を通すことにより、1/8チップ間隔にインタポレーション(内挿)された相互相関系列を得ることができる(図3の(c))。LPFのインパルス応答は、例えば下記数式で表すことができる。

【0035】
$$h(i) = \sin(2\pi \cdot i/8) / (2\pi \cdot i/8)$$
上記インパルス応答は無限の長さになるが、実用上は、窓をかけることにより±1チップ～±8チップ程度で打ち切って、FIRフィルタで実現しても問題ない。例えば、±2チップで打ち切った場合、FIRフィルタのタップ数は16((8サンプル/チップ)×4チップ)となるが、入力信号が4サンプル当たり3サンプルは値が0とわかっているため、1サンプルの出力を計算するのに必要な積和演算は8回で済む。

【0036】従来方式のように、インタポレーションフィルタを用いず、1/8チップ精度で相互相関を求めたとなると、相互相関値1サンプル当たりN=N_p×M回の積和演算が必要なのに対して、本実施例では、実際に相関を計算するのは4サンプルに1回であり、残りの3回は上記の通り、8回の積和で済ませることができる。したがって、1サンプル当たりの所要積和演算回数は(N_p×M+3×8)/4=N_p×M/4+6回である。通常、拡散率M>1であるから、演算量は従来方式に比べて約1/4とすることができる。

【0037】スロット間では、通常、受信信号の位相がずれてくるため、隣接したパイロットシンボルに対して行ったように、同相合成を行って信号対雑音電力比を向上させることはできない。したがって、電力計算部10

4で相関値の電力（I成分とQ成分の2乗和）を求めて位相成分を除去した後、平均化部105で同一遅延時間の相互相関値に対してスロット間平均化を行う。

【0038】平均化は雑音によるばらつき、フェージングによる変動を平均化することが目的である。平均化スロット数を多くとることにより、雑音によるばらつきを低減できる反面、シャドウイングに対する追従速度が低下するため、平均化スロット数は必要最低限度に抑えた方が好ましい。パイロットシンボル数が多い場合（例えば16シンボル）は、必ずしも平均化を行う必要はない。平均化処理は一定スロット数毎にブロック化して平均値を求めても良いし、スライディングさせながら移動平均を求めても良いし、指数重みづけ平均を求めても良い。

【0039】第nスロットにおいて、遅延 τ に対する相互相関電力 $P_n(\tau)$ は

$$P_n(\tau) = R_n(\tau) \times \text{conj}(R_n(\tau))$$

忘却係数 λ で指数重みづけを行う場合、第nスロットにおける、遅延 τ に対する平均化相互相関電力 $P_{ave n}(\tau)$ は

$$P_{ave n}(\tau) = \lambda \cdot P_{ave n}(\tau) + (1 - \lambda) \cdot P_n(\tau)$$

ピーク検出回路106は、平均化相互相関電力 $P_{ave n}(\tau)$ が最大値をとる遅延時間 τ_{opt} を求める。データ受信部（図示せず）が複数のマルチパスを最大比合成して受信することのできる、いわゆるRAKE受信装置である場合、ピーク検出回路106はRAKEフィンガー個数分のピークを大きい順に求め、その遅延時間 τ_{opt} を出力する。

【0040】図4は図1の系列相関器102の一例のブロック図である。

【0041】図2を参照して、系列相関器102は、マッチドフィルタ201と、時間窓部202とを有する。

【0042】マッチドフィルタ201はパイロットシンボルを拡散符号で拡散した系列に整合したフィルタであり、具体的には、前記系列の複素共役系列をタップ係数とするFIRフィルタで実現できる。

【0043】時間窓部202はあらかじめ定められた遅延時間範囲 T_w の相互相関値のみを選択して通過させる。

【0044】図5は図1の系列相関器102の別の例を示すブロック図である。図5では拡散符号長がパイロットシンボルの1シンボル時間に等しい場合にのみ適用できる回路であり、拡散符号長が1シンボルと比べ長い一般的な場合に比べ、相互相関に要する演算量を低減することができる。

【0045】図5を参照して、系列相関器102は、デジタル受信信号Sをあらかじめ定められた遅延範囲の時間長にパイロットシンボルの1シンボル時間長を加えた時間だけ蓄積するシリアル入力パラレル出力型の第1の

メモリ301と、第1のメモリ301のパラレル出力をパイロットシンボルの符号に応じて逆変調する逆変調部302と、加算器303とメモリ304を備え、逆変調されたデジタル受信信号を複数のパイロットシンボルにわたり同相加算する同相加算部306と、同相加算されたデジタル受信信号と拡散符号の相互相関をあらかじめ定められた遅延範囲内 T_w で求める相関器305とを有する。

【0046】簡単のため、 $\tau_{min} = 0$ 、 $\tau_{max} = 2M - 1$ （Mチップ=1シンボル時間）と仮定して図5の系列相関器102の動作について説明する。

【0047】この場合、第1のメモリ301のサイズは4Mとなる。この第1のメモリ301は1シンボル時間に相当するデジタル受信信号を取り込んだ後、最後の2シンボル時間に相当する受信信号をパラレル出力する。したがって、第nスロットの第m+1番目（ $m = 0 \sim N_p - 1$ ）のシンボルに対応するデジタル受信信号を受信した後、第1のメモリ301は4Mサンプルのデジタル受信信号

$$S(2 \cdot L \cdot M \cdot n + 2 \cdot M \cdot m + i); i = 0 \sim 4M - 1$$

をパラレル出力する。

【0048】逆変調回路302は上記4Mサンプルのすべてに、第nスロットの第m番目のパイロットシンボル $PL(m)$ の複素共役数を掛ける。

【0049】同相加算器306は、逆変調回路302から出力される4Mサンプルの各々を N_p 個の全パイロットシンボルに対して累積加算する。もちろん、スロットの最初にゼロクリアを行い、スロットにまたがる加算は行わない。

$$\text{Save}_n(i) = \sum_{m=0}^{N_p-1} S(2 \cdot L \cdot M \cdot n + 2 \cdot M \cdot m + i) \times \text{conj}(PL(m));$$

$$i = 0 \sim 4M - 1$$

相関器305は前記同相加算された信号 $\text{Save}_n(i)$ ； $i = 0 \sim 4M - 1$ と、拡散符号系列 $c(i)$ ； $i = 0 \sim M - 1$ の相互相関を遅延時間 $\tau = 0 \sim 2M - 1$ の範囲で計算する。すなわち、相互相関 $R_n(\tau)$ は、

$$R_n(\tau) = \sum_{i=0}^{M-1} \text{Save}_n(2 \cdot i + \tau) \times \text{conj}(c(i))$$

以上、 $\tau = 0 \sim 2M - 1$ の範囲で相互相関を求めるのに要する積和演算回数は、 $4M \times N_p + 2M^2$ 回となり、特にパイロットシンボル数 N_p が大きいとき、積和演算回数を低減できる。

【0051】図6は図1の系列相関器102の更に別の例を示すブロック図である。

【0052】図6を参照して、この系列相関器102は、デジタル受信信号Sをあらかじめ定められた遅延範囲 T_w の時間長にパイロットシンボル系列の時間長を加えた時間だけ蓄積する第1のメモリ401と、パイロ

トシンボルPLに対応する拡散符号cを記憶する第2のメモリ406と、第1のメモリ401および第2のメモリ406からデジタル受信信号Sおよび拡散符号を読み出しシンボル毎の相互相関を求める相関器402と、パイロットシンボルPLの符号に応じて相関器402の出力する相関値を逆変調する逆変調部403と、逆変調された相関信号を複数パイロットシンボルにわたって累積加算する同相加算部404と、第1のメモリ401に蓄積されるデジタル受信信号Sにパイロットシンボルが含まれるように受信タイミングを制御し、また、あらかじめ定められた遅延範囲Tw内の相互相関がすべて求められるまで、第1のメモリ401および第2のメモリ406からタイミングをずらせながら繰り返し読み出す制御を行うタイミング制御部405とを有する。

【0053】図7は図1の系列相関器102の他の例を示すブロック図である。

【0054】図7を参照して、この系列相関器102は、デジタル受信信号Sをあらかじめ定められた遅延範囲Twの時間長にパイロットシンボル系列の時間長を加えた時間だけ蓄積する第1のメモリ501と、パイロットシンボルPLを拡散符号で拡散する拡散部504と、拡散部504で拡散されたパイロットシンボルを記憶する第2のメモリ505と、第1のメモリ501および第2のメモリ505からデジタル受信信号Sおよび拡散されたパイロットシンボルを読み出し相互相関を求める相関器502と、第1のメモリ501に蓄積されるデジタル受信信号Sにパイロットシンボルが含まれるように受信タイミングを制御し、また、あらかじめ定められた遅延範囲Tw内の相互相関がすべて求められるまで、第1のメモリ501および第2のメモリ505からタイミングをずらせながら繰り返し読み出す制御を行うタイミング制御部503とを有する。

【0055】図6および図7の系列相関器102は、共に拡散符号がパイロットシンボル1シンボル時間長に比べて長い場合（いわゆるロングコードによる直接拡散）に適用できる回路である。図6は通常のデータ受信の場合と同様に、受信データと拡散符号の相関を求めた（逆拡散）後、既知のパイロットシンボルを用いて逆変調を行い、変調成分を取り除いて同相加算する方法であり、図7はパイロットシンボルをあらかじめ拡散した系列を求めておき、この既知系列と受信信号の相互相関を直接求める方法を示している。図6の方式はシンボル毎の相関値を途中結果として得られるという特徴があるが、本来の目的である相互相関系列を求めるだけならば、図7の回路の構成の方が簡単である。

【0056】次に図7の系列相関器102の動作について説明する。

【0057】図8は図7の系列相関器102の動作を示すタイムチャートである。

【0058】図7及び図8を参照して、第1のメモリ5

01および第2のメモリ505にはパイロットシンボルに相当するデジタル受信信号およびパイロットシンボルを拡散した系列が書き込まれた後、データ部を受信中は繰り返し読み出され、相互相関演算が繰り返される。図8では相関器502は32個の遅延時間に対しパラレルに相互相関を計算する場合について説明している。パラレルに計算できる個数はハードウェア規模と相関演算時間のトレードオフ関係にあるため、拡散率、ピークをサーチする遅延時間範囲、スロット周期、処理クロック速度、等を勘案し、最適な個数を決定すればよい。32個のパラレル相関器で4M個の相互相関値を求めるため、4M/32回繰り返して受信信号および拡散されたパイロットシンボル系列をメモリから読み出し、相関演算を行っている。

【0059】図9は本発明の第2の実施例によるCDMA受信装置の受信タイミング検出回路を示すブロック図である。

【0060】図9を参照して、このCDMA受信装置の受信タイミング検出回路は、パイロットシンボルの代わりに、受信信号の受信データを判定することにより得られた判定データを既知信号として扱うものである。即ち、図9のCDMA受信装置の受信タイミング検出回路は、系列相関器102に入力される既知信号が、パイロットシンボルの代わりに判定データに変わった点を除けば、図1のCDMA受信装置の受信タイミング検出回路と同様である。

【0061】図10は図1の受信タイミング検出回路を備えたCDMA受信装置のブロック図である。図10を参照して、このCDMA受信装置は、系列相関器102として図7の系列相関器102を備えている。

【0062】このCDMA受信装置は、アンテナ601を介して受信した無線信号を複素ベースバンド信号に変換する無線受信部602を有する。

【0063】A/D変換器101は、複素ベースバンド信号をデジタル化し、デジタル受信信号とする。第1のメモリ501は、デジタル受信信号を記憶する。拡散部504はパイロットシンボルPLを拡散符号で拡散する。第2のメモリ505は、拡散されたパイロットシンボル系列を記憶する。相関器502は、第1のメモリ501および第2のメモリ505からデジタル受信信号および拡散されたパイロットシンボルを読み出し、相互相関を求める。

【0064】電力計算部104は、インタポレーションフィルタ103によってインタポレーションされた相互相関系列の電力を相互相関電力として計算する。平均化部105は、複数スロットにわたって同一遅延時間の相互相関電力を平均化し、ピーク検出部106は、平均化された相互相関電力のピークを検出する。

【0065】タイミング制御部503は、第1及び第2のメモリ501及び505、相関器502、インタポレ

10

20

30

40

50

ーションフィルタ103、電力計算部104、平均化部105、及びピーク検出部106の動作タイミングを制御する。

【0066】拡散符号発生部603は拡散符号を発生し、拡散符号を拡散部504と逆拡散部605とに供給する。逆拡散部605は、拡散符号の複素共役をデジタル受信信号に掛けて1シンボル間積分することにより拡散前のデータ信号を出力する。パイロット内挿同期検波部606は、連続する2つのスロットの先頭に挿入された既知のパイロットシンボルを参照信号として、直線内挿によりスロット内の各シンボルタイミングにおける参照位相を求め、同期検波を行う。RAKE合成部607は、逆拡散部605と同様の逆拡散部およびパイロット内挿同期検波部606と同様のパイロット内挿同期検波部を複数個持ち、マルチパス伝送路の各パスを検波した後、最大比合成し受信データを出力する。同期保護部604は、ピーク検出部106により検出される最適な受信タイミング τ_{opt} 、そのときのピーク電力 P_{opt} と、受信データに含まれる同期信号（パイロットシンボルは既知なので同期信号として扱うこともできる）の誤りをモニタし、同期状態を維持できるように、拡散符号発生部603およびタイミング制御部503をコントロールする。

【0067】図11は図10のCDMA受信装置と同様の機能を達成するもう一つのCDMA受信装置のブロック図である。

【0068】図11を参照して、このCDMA受信装置は、同様の参照符号で示した同様の部分を含んでいる。このCDMA受信装置は、デジタル受信信号と拡散したパイロットシンボル系列の相互相関係列をスロット毎に計算し、2ポートRAM706に格納するサーチャー相関器705と、サーチャー相関器705で使用する受信データを一時記憶するRAM704と、拡散符号および拡散されたパイロットシンボル系列を発生させ、サーチャー相関器705およびデータ復調用相関器709に供給する拡散符号発生器708と、デジタル受信信号をDSP（デジタル信号処理プロセッサ）707から指示された受信遅延に従って、複数のマルチパス信号に対して複数のRAKEフィンガーを用いて逆拡散を行い、逆拡散信号を2ポートRAM710に格納するデータ復調用相関器709と、サーチャー相関器705が2ポートRAM706に格納した相互相関係列に対して、インタポレーションフィルタ演算、電力計算、スロット間平均化処理、RAKEフィンガー数分のピーク検出を行い、最適な受信タイミングを拡散符号発生器708に設定すると共に、データ復調用相関器709が2ポートRAMに書き込んだ、逆拡散信号を読み出し、RAKEフィンガーの各々に対して、パイロット内挿同期検波を行って最大比合成（RAKE合成）を行い、受信データを判定するDSP707とを有する。

【0069】サーチャー相関器705、拡散符号発生器708、データ復調用相関器709は、例えばゲートアレイ（G/A）、専用LSI等のハードウェアで実現する。チップレートを4.096Mcps、シンボルレートを256kpsとした場合、単純で高速処理が要求されるチップレート処理は専用ハードウェアで実現し、比較的低速であるが複雑な処理が要求されるシンボルレート処理はDSPのファームウェアで実現することにより、最も好ましいと思われる実現方法を示したものである。

【0070】

【発明の効果】本発明による第1の効果は、1パス当たりの信号電力対雑音電力比が低い場合でも、正しく遅延プロファイルのピーク位置を検出できる確率および精度が向上したことである。したがって、常時最適な受信タイミングできるようになり、受信品質が向上することである。逆に本発明により、従来より低いEb/Noでも所要受信品質を満足できるようになるため、CDMAを用いたセルラシステムのシステム容量あるいは1基地局でカバーするセル半径を大きくとることができるということである。

【0071】その第1の理由は、遅延プロファイルを求める時、既知信号と受信信号を複数シンボルにわたって相互相関を求め、あるいは複数シンボル（通常1スロット当たりのパイロットシンボル数）にわたって同相加算した後、電力（2乗和）を求めているため、相互相関値に含まれる雑音成分の電力が従来方式に比べ、1/パイロットシンボル数に低減できるためである。例えば1スロット当たりのパイロットシンボル数=16とすると、約12dBだけ雑音成分の電力を低減できる。

【0072】その第2の理由は、異なる遅延の相関値を計算するために同一の受信信号を繰り返し用いているため、フェージングにより受信レベルが大きく変動しても、遅延時間の異なる相互相関値のレベル関係は厳密に維持されるため、フェージングにより受信レベルが大きくなった瞬間に計算した相互相関値が受信レベルが小さい瞬間に計算した正しいピーク位置の相互相関値より大きくなってしまいう問題点を完全に解決できるからである。

【0073】その第3の理由は、相互相関値をまず1/2チップ間隔で求めた後、インタポレーションフィルタを用いて、より短い時間間隔で相互相関値を求めているので、より正確な遅延プロファイルのピーク位置（遅延時間）を求めることができるためである。処理量をあまり増やすことなく、受信タイミングの検出精度を大幅に向上させることができる。

【0074】本発明による第2の効果は、遅延プロファイルのピークを求めたために必要な演算量を低減できるという点である。

【0075】その理由は、従来方式では、最適な受信タ

イメージングに対する所要 E_b/N_0 の劣化を1dB以内に抑えようとする、1/4チップ間隔で相互相関値の電力を求める必要があるが、本発明では1/2チップ間隔で相互相関値を求めればよいためである。また相互相関値に含まれる雑音を低減できているため、雑音電力のばらつきを抑えるために必要な平均化処理の回数を低減することが可能なためである。

【0076】本発明による第3の効果は、基地局装置のハードウェア規模が小さくできるという点である。

【0077】その理由は、基地局装置では本発明の回路により初期同期捕捉（初期サーチ）、新規パス捕捉（サーチ）、同期追尾の全機能を実現できるため、従来必要であった、初期同期捕捉回路（あるいはサーチ回路）と同期追尾回路（例えばディレイ・ロック・ループ：DLL）の2種類の回路を、本発明の1つの回路で置き換えることが可能なためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるCDMA受信装置の受信タイミング検出回路のブロック図である。

【図2】図1のCDMA受信装置の受信タイミング検出回路が受信信号として受信する送信信号及び拡散符号のフォーマットを示すタイムチャートである。

【図3】図1のCDMA受信装置の受信タイミング検出回路のインタポレーションフィルタの動作を説明するためのタイムチャートである。

【図4】図1のCDMA受信装置の受信タイミング検出回路の系列相関器の一例のブロック図である。

【図5】図1のCDMA受信装置の受信タイミング検出

回路の系列相関器の別の例のブロック図である。

【図6】図1のCDMA受信装置の受信タイミング検出回路の系列相関器の更に別の例のブロック図である。

【図7】図1のCDMA受信装置の受信タイミング検出回路の系列相関器の他の例のブロック図である。

【図8】図7の系列相関器の動作を示すタイムチャートである。

【図9】本発明の第2の実施例によるCDMA受信装置の受信タイミング検出回路のブロック図である。

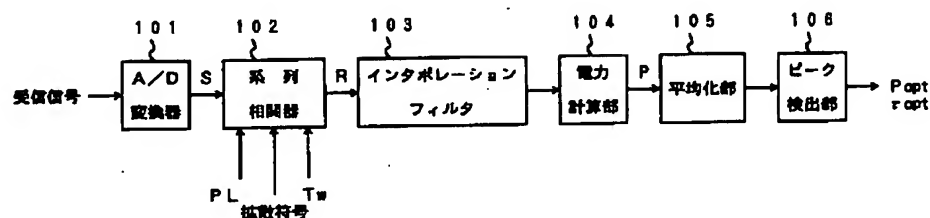
【図10】図1の受信タイミング検出回路を備えたCDMA受信装置のブロック図である。

【図11】図10のCDMA受信装置と同様の機能を達成するもう一つのCDMA受信装置のブロック図である。

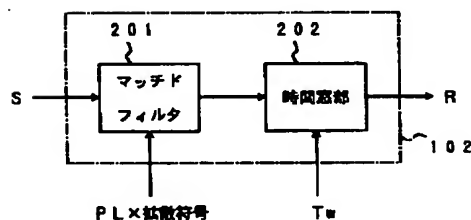
【符号の説明】

101	A/D変換器
102	系列相関器
103	インタポレーションフィルタ
104	電力計算部
105	平均化部
106	ピーク検出部
S	デジタル受信信号
R	相互相関係列
P	相互相関電力
τ_{opt}	相互相関電力のピーク位置
P_{opt}	相互相関電力のピーク電力
T_w	相互相関を求める遅延範囲
PL	パイロットシンボル

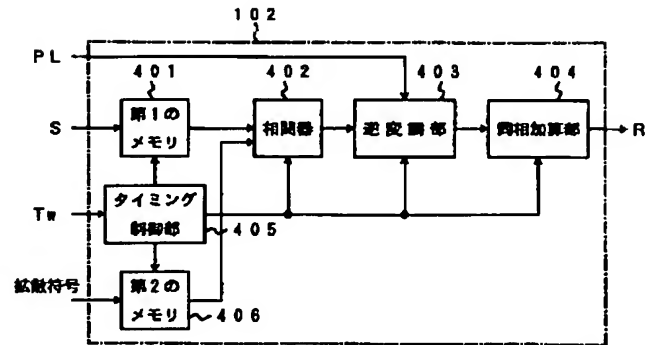
【図1】



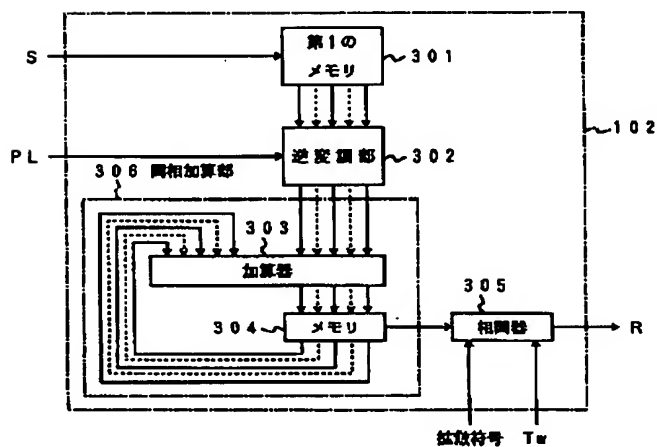
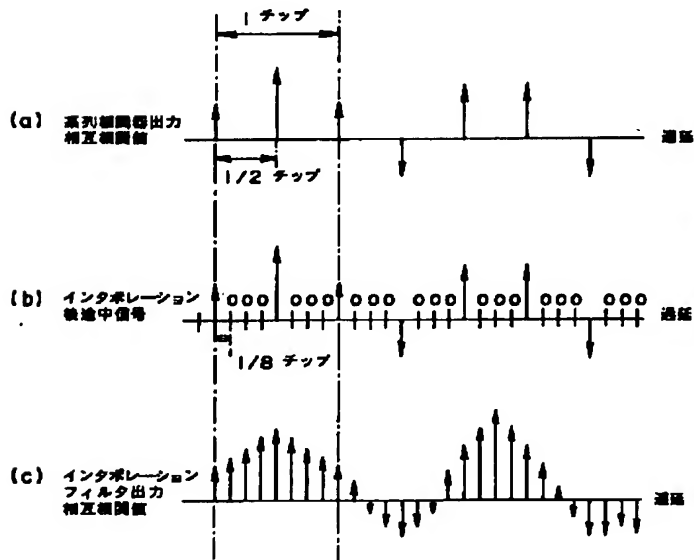
【図4】



【図 6】



【図 3】



[illegible]

```

graph LR
    In[受信信号] --> 101[101 A/D変換器]
    101 -- S --> 102[102 乗列相関器]
    102 -- R --> 103[103 インタポレーションフィルタ]
    103 --> 104[104 電力計算部]
    104 -- P --> 105[105 平均化部]
    105 --> 106[106 ピーク検出部]
    106 --> Out[Popt r opt]
    
    102 --> In2[判定データ]
    102 --> In3[拡散符号]
    102 --> In4[Tw]
  
```

【図11】

